

PTO 01-3620

France
0,923,125

PROCESS FOR MAKING METAL INTERCONNECTIONS IN INTEGRATED CIRCUITS
[PROCEDE DE REALISATION D'INTERCONNEXIONS METALLIQUES DANS DES
CIRCUITS INTEGRES]

P. Gayet

UNITED STATES PATENT AND TRADEMARK OFFICE
Washington, D.C. AUGUST, 2001

Translated by: Schreiber Translations, Inc.

THIS PAGE BLANK (USPIC,

Country : FRANCE

Document No. : EP 0,923,125 A1

Document Type : European patent application

Language : French

Inventor : P. Gayet

Applicant : STMicroelectronics S.A., France
Telecom

IPC : H01L 21/768

Application Date : November 27, 1998

Publication Date : June 16, 1999

Foreign Language Title : Procédé de réalisation
d'interconnexions métalliques dans
des circuits intégrés

English Title : Process for making metal
interconnections in integrated
circuits

THIS PAGE BLANK (USPTO)

Process for making metal interconnections in integrated circuits · /1¹

Abstract

The invention pertains to a process for making metallizations (36) that fill, along a selected loop, the thickness of a dielectric layer (38) with a material that is difficult to etch in a definite way, this dielectric layer being formed on a support (31) that includes the stages that consist in forming on the support (31) a sacrificial layer (32) that has the desired thickness for the layer of the said material; open the sacrificial layer along the said loop; form the metallizations (36) in the openings; eliminate the sacrificial layer; and deposit a layer (37) of the said material with a thickness at least equal to that of the metallic patterns.

Description

/3

[0001] The present invention pertains to the fabrication of semiconductor integrated circuits and more particularly to the final stages of this fabrication in the course of which one produces, over a substrate of silicon that includes some distributed regions and some selected structures, a succession of insulating layers alternating with some metallic layers. Each of the metallic layers comprises a level of metallization. Each

¹Numbers in the margin indicate pagination in the foreign text.

THIS PAGE BLANK (USPTO)

metallized layer is etched along a predetermined topology in order to establish contacts with paths that connect this metal layer with a lower metal layer and with an upper metal layer. The highest layer is connected to some contact studs and the least high layer is connected by some paths to portions of the semiconductor substrate and/or regions of polycrystalline silicon.

[0002] Therefore, successive problems of path formation inside a dielectric layer, of etching of the dielectric and of etching of the metal layers are presented. Various processes have been developed in the art to make such interconnection layers and these processes are now on a level with the traditional materials such as silicon oxide and aluminum.

[0003] However, while the technical advances have led to reductions of the dimensions of the elementary ingredients in silicon, they have at the same time led to reductions of the dimensions of the patterns formed in the various metallization layers and to the metallizations coming close to one another. In particular there has resulted an increase of the vertical parasitic capacitances between metal layers of different levels and of lateral parasitic capacitances between portions of metallizations of a single level. In order to avoid the increase of the value of the parasitic capacitances, which reduces the possible switching speed of the circuit, there have been attempts

THIS PAGE BLANK (USP 10,

to find ways to use dielectrics that have dielectric constants that are smaller than that of silicon oxide. One thinks especially of using various polymers such as silsequioxanes, hydrogen-silsesquioxane (HSQ) for example or methyl-silsesquioxane (MSQ), polyimides, polyarylene esters, Teflons, parylenes or porous materials (Aerogel). These dielectrics can be deposited by different processes such as spraying, centrifuging, or vapor phase deposition. However, a common disadvantage of many of these dielectrics is that they are difficult to etch: it can also happen, during their plasm etching, that they generate by-products that are capable of damaging other circuit elements, and sometimes it is even practically impossible to etch in these materials sections with rigid sides, or their dielectric properties will degrade during the stages of etching or resin removal.

[0004] There have also been attempts to use conducting materials that are more conductive than aluminum such as copper. Again, with such elements, one encounter great difficulties in etching these materials in a localized manner, forming sections with rigid sides or insulating electrically the patterns with respect to each other for example.

[0005] Thus, one aim of the present invention is to provide a new process for making a structure that will include several

THIS PAGE BLANK (USPTO)

conducting levels separated by insulation layers that are traversed locally by paths filled with metal.

[0006] A more particular aim of the invention is to provide such a process that can be applied to dielectric materials in which it is not possible to make localized etchings with rigid sides or that it is not possible to etch without degrading their properties.

[0007] Another aim of the present invention is to provide such a process in which the conducting materials are made of materials in which it is not possible to make localized etchings with rigid sides or small spaces between two adjacent patterns.

[0008] In order to attain these goals as well as others, the present invention provides a process of the formation of metallizations that fill, along a selected loop, the thickness of a dielectric layer made of a material difficult to etch in a definite way, this dielectric layer being formed on a support that includes the stages that consist in forming on the support a sacrificial layer that has the desired thickness for the layer of the said material; open up the sacrificial layer along the said loop; form some metallizations in the openings; remove the sacrificial layer; and deposit a layer of the said material on a thickness at least equal to that of the metal patterns.

[0009] According to one mode of implementation of the present invention the formation stage of metallizations in the openings

THIS PAGE BLANK (USP 10)

includes the stage of depositing a metallization and of re-etching by means of mechanical and chemical polishing of this metallization down to the level of the upper surface of the sacrificial layer.

[0010] According to one mode of implementation of the present invention the said material is selected in the group of polymers such as the polyimides, a polyarylene ester, silsesquioxanes, Teflon, or parylene.

[0011] According to one mode of implementation of the present invention the said material is a porous material.

[0012] According to one mode of implementation of the present invention the said material is deposited by centrifuging or in the vapor phase.

[0013] According to one mode of implementation of the present invention, applied to the formation of pathways, the said support is an intermediate metallization level.

[0014] According to one mode of implementation of the present invention the sacrificial layer is a layer of silicon oxide.

[0015] These goals, characteristics and advantages, as well as others of the present invention, will be explained in detail in the following description of particular modes of implementation that are presented in a non-limiting way in relation to the 4 attached figures among which:

THIS PAGE BLANK (USPTO)

- Figures 1A and 1B represent two stages of the formation of an opening in a material such as a polymer;
- Figures 2A to 2D represent successive stages of the formation of interconnections by the so-called Damascene process;
- Figures 3A to 3G represent in a general way successive stages of a process according to the present invention;
- Figures 4A to 4J represent successive stages of one mode of implementation of the present invention; and
- Figures 5A to 5G represent successive stages of another mode of implementation of the present invention.

[0016] The various figures are schematic sectional views and, in conformity with their use in the art of representation of semiconductor components, are not traced to scale.

[0017] In figure 1A we are considering a support layer 11, a metal layer comprised of an interconnection level for example, above which one sees deposited a dielectric layer, forming openings in the dielectric layer, filling these openings with a conducting material and coating the dielectric layer with a following level of metal in which one wishes to draw interconnections of the selected patterns.

[0018] To do this, in the traditional manner, it is necessary first to make openings in the sites of the paths in the dielectric layer 12. If one attempts to do this in a product

THIS PAGE BLANK (USPTO)

such as a polymer, by processes of traditional photolithography that consist in making a mask then an etching, one will produce an opening 13 that has the contour shown in figure 1B, that is that the sides of the etched section are concave. The result is that the resulting patterns are going to be poorly defined and that one will have difficulty during the subsequent depositing of a metal intended to fill the opening 13. Indeed, this metal will exhibit a tendency not to adhere to the walls and holes that will be created. In addition, it will not be possible to deposit two lines of metal very close to one another. A degradation of the properties of the dielectric during etching can also be translated into a concave contour.

[0019] Figures 2A to 2D represent preliminary stages of the formation of interconnections by the known so-called Damascene process.

[0020] According to this process, as is shown in figure 2A, by starting with a metal layer 21 of a first interconnection level (this first interconnection level can be any intermediate interconnection level), one deposits an insulating layer 22 that one will consider in this example as being a layer of silicon oxide. Next one deposits an etching stop layer 23, of silicon nitride for example.

THIS PAGE BLANK (USPTO)

[0021] At the stage shown in figure 2B we have formed an opening 24 in the etching stop layer 23 at the site where one wishes to make a path.

[0022] In the stage shown in figure 2C we deposit a second layer of dielectric 25 and one layer of masking 26, again a layer of silicon nitride for example.

[0023] In the stage shown in figure 2D, we make by photolithography some openings in the masking layer 26. These openings are designated by reference number 27 when they are found above a path and by the reference number 28 for sites where one wishes simply to etch the layer of dielectric 25. Next, one etches through these openings on the one hand some sections beneath the openings 28, and on the other hand, some paths beneath the openings 27. Subsequent stages of the process, not shown here, consist in depositing a metal that fills the sections and the paths with possible prior depositing of an attachment layer such as titanium nitride. Finally, one proceeds to carry out etching by mechanical and chemical polishing of the part of the metal that extends over the upper surface of the layer 26 and the process continues by depositing a new layer of dielectric and making of a subsequent metallization.

[0024] Figure 2D shows what happens when the layer of dielectric 25 is a material not capable of being etched with the formation of rigid sides. One again encounters the disadvantage

THIS PAGE BLANK (USPTO)

shown in figure 1B, that is that a regular deposit of the metal in the openings will in fact be practically impossible, and that it will not be possible to provide some metal strips very close to one another, or even that the dielectric constant degrades during etching, which works against the desired goal.

[0025] Figures 3A to 3G represent in a highly schematic way successive stages of a process according to the present invention allowing one to avoid the aforementioned disadvantages that result from the etching of a layer of dielectric material that cannot be etched with rigid sides. In order to simplify the description that follows, we will simply call this layer a "polymer layer."

[0026] As shown in figure 3A we start with a support 31, which, according to the applications of the present invention will be an insulating layer or a metallization level on which one wishes to form some strips of metal or some paths separated by a polymer. One deposits on the support 31 a layer of a material that is easily etched in the traditional manner, a layer of silicon oxide 32 for example. An etching stop layer 33 is possible inserted between the layers 31 and 32.

[0027] In the stage shown in figure 3B we form some openings 34 in the layer 32.

[0028] In the stage shown in figure 3C we have proceeded with a deposit of a metal layer 35 that is formed in the openings 34 and

THIS PAGE BLANK (USPTO,

above the layer 32 (according to the applications, we will have removed or not the etching stop layer at the base of the opening 34).

[0029] Next we proceed to carry out a leveling of the structure by chemical-mechanical polishing (CMP) to remove the metal 15 above the layer 32 and we obtain the structure shown in figure 3D.

[0030] After doing that, according to the present invention, one removes the layer 32 that can then be considered as a sacrificial layer to product the structure shown in figure 3E.

[0031] Only then, in the stage shown in figure 3F, one will deposit on the entire structure a layer of polymer 37, which can then be possibly worn down flat by chemical-mechanical polishing, as shown in figure 3G. One will thus obtain some metallization 36 of a given contour that are inserted in a layer of polymer 38 that has the same thickness as the sacrificial layer 32 deposited in the stage of figure 3A.

[0032] One will note that this process does not involve any stage of localized etching nor of metal 36, nor of polymer 37. The materials of these layers can therefore be materials that are not capable of being etched correctly by the known etching processes, such as plasma etching processes. It suffices that the metal can be leveled by chemical-mechanical polishing, which is the case of all the materials currently envisaged.

THIS PAGE BLANK (USPTO)

[0033] Figures 4A to 4J show one application of the process according to the present invention for the making of an interconnection layer in which a polymer ensures the lateral insulation between portions of metal of the selected contour of the interconnection level in question.

[0034] More particularly, the initial stages of the figures 4A to 4F correspond to the stages of a traditional Damascene process. One starts with a support 41 that corresponds to a metallization level surmounted by an insulating layer 42, made of silicon oxide for example and itself surmounted by an etching stop layer 43, silicon nitride for example (figure 4A). In the stage shown at figure 4B one forms in the layer 43 some openings 44 for the sites where one wishes to form some paths between two metallization layers. In the stage shown in figure 4C we have deposited a second layer 45 that corresponds to the sacrificial layer according to the present invention surmounted by an etching stop layer 46. In the stage shown in figure 4D we have formed some openings 47 and 48 in the etching stop layer 46. The openings 47 are found above the sites of paths and the openings 48 at the sites where one wishes to form some interconnection metallizations. One next makes openings in the layer 45 then possibly in the layer 42. In the stage shown in figure 4E, we have deposited a metallization, by successively depositing for example an attachment layer of titanium nitride 49 and a layer 50

THIS PAGE BLANK (USP 10)

of a metal such as copper or alloys of copper and aluminum or tungsten. In the stage shown in figure 4F we have carried out chemical-mechanical polishing in order to level flat the layer of metal 50 down to the level of the upper surface of the etching stop layer 46.

[0035] In a traditional process the making of the structure is practically ended and one now only has to cover the structure of figure 4F by a new layer of silicon oxide in which one will repeat the stages shown starting with figure 4A in order to form some paths and an upper level interconnection layer. In this traditional process the insulating layer 45 is a definitive layer. In contrast, according to the present invention, as we indicated previously, the layer 45 is a sacrificial layer and, according to the present invention, the process continues in the following manner.

[0036] In the stage shown in figure 4G one removes the etching stop layer 46 and the sacrificial layer 45, the etching being stopped preferably at the level of the upper surface of the etching stop layer 43. Of course, the etching is done selectively without attacking the portions of metal 50 above the etching stop layer 43.

[0037] In the stage shown in figure 4H we deposit uniformly a layer of polymer 51.

THIS PAGE BLANK (USPTO)

[0038] Next, and optionally, as this is shown in figure 4I, one levels by chemical-mechanical polishing the upper surface of the layer 51 until one is level with the level of the upper surfaces of metallizations 50. Then, as is shown in figure 4J, one proceeds to make a new deposit of an insulating layer 52 and the process is repeated to make paths and an upper level interconnection layer.

[0039] Thanks to the present invention we have been able to obtain, as shown in figure 4J, some localized metallizations 50 that form an interconnection level and are separated laterally by an insulating layer 51 with weal dielectric constant. Thus, the application of the present invention shown in relation with figures 4A to 4J allows one to reduce the lateral parasitic capacitance between conductors of a single metallization level.

[0040] We will now describe in relation to the figures 5A to 5G an application of the present invention for the reduction of the vertical parasitic capacitance between two interconnection levels.

[0041] Figure 5A represents a support 61 that corresponds to an interconnection level on which a layer 62 is deposited that comprises a sacrificial layer according to the present invention.

[0042] In the stage shown in figure 5B one forms by means of photolithography some openings in the layer 62 for experiments in

THIS PAGE BLANK (USPTO)

which one wishes to form some paths between interconnection levels.

[0043] In the stage shown in figure 5C we have deposited uniformly an optional attachment layer 64 and a metallization layer 65. In a subsequent stage not shown here, we re-etch by chemical-mechanical polishing some layers 65 and 64 until they are level with the level of the upper surface of the layer 62.

[0044] Next we remove the oxide layer 62. This removal can be complete or only partial, as is shown in figure 5D, /6 interrupting the etching before removing all the thickness of the layer 62. One then leaves in place some metal paths 66.

[0045] In the stage shown in figure 5E one deposits uniformly a layer of polymer 67.

[0046] In the optional stage shown in figure 5F this layer of polymer is re-etched by means of chemical-mechanical polishing to the level of the upper surface of the metal paths 66.

[0047] One therefore obtains a polymer layer 67 in which paths 66 are inserted without it having been necessary to carry out localized etching of the polymer layer 67.

[0048] During subsequent stages (figure 5G) one makes the following metallization level. For this following metallization level one could also provide lateral insulation by a layer with low dielectric constant by using the process illustrated in figures 4A to 4J, that is by depositing on layer 67 as obtained

THIS PAGE BLANK (USPTO)

in the stage of figure 5F a sacrificial layer, etching this sacrificial layer by filling the openings of the sacrificial layer with a conductor, by removing the sacrificial layer and by depositing a new polymer layer.

[0049] Of course, the present invention is capable of various versions and modifications that will be apparent to a person of the art. Especially, as we indicated previously, although we have used in the preceding description the term polymer, this term should be interpreted as designating any dielectric material with low dielectric constant, or any dielectric material that is difficult to etch and/or in which the etching can result in degradation of the profiles or insulation properties. In addition, the various versions described in each mode of implementation of the present invention would be adopted in another mode of implementation. Various conducting materials other than those made of metal and various dielectrics could be used. Various processes of etching could also be used.

CLAIMS

1. Process for the formation of metallizations (36) that fill, according to a selected contour, the thickness of a dielectric layer (38) of a material that is difficult to etch in a definite manner, this dielectric layer being formed on a support (31), characterized in that it includes the following stages:

THIS PAGE BLANK (USPTO)

- Form on the support (31) a sacrificial layer (32) that has the desired thickness for the layer of the said material;
 - Open the sacrificial layer according to the said contour;
 - Form some metallizations (36) in the openings by depositing metal and etching down to the level of the upper surface of the sacrificial layer;
 - Remove the sacrificial layer; and
 - Deposit a layer (37) of the said material on a thickness at least equal to that of the metal patterns.
2. Process according to claim 1 characterized in that the etching is carried out by chemical-mechanical polishing.
 3. Process according to claim 1 characterized in that the said material is selected in the group of polymers such as the polyimides, polyarylene ester, silsequioxanes, Teflon, and parylene.
 4. Process according to claim 1 characterized in that the said material is a porous material.
 5. Process according to claim 1 characterized in that the said material is deposited by centrifuging or by vapor phase deposition.
 6. Process according to claim 1, applied to the making of paths, characterized in that the said support is an intermediate metallization level.

THIS PAGE BLANK (USPTO)

7. Process according to any of the claims 1 to 4 characterized in that the sacrificial layer is a layer of silicon oxide.

THIS PAGE BLANK (USPTO)

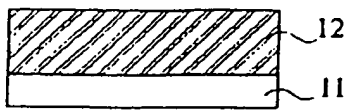


Fig 1A

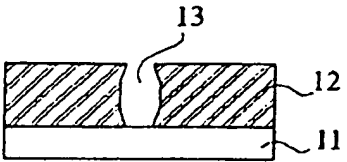


Fig 1B
(prior art)

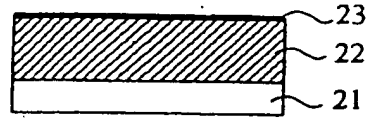


Fig 2A

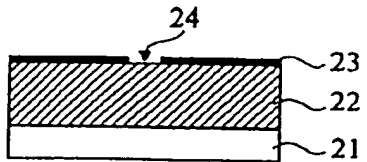


Fig 2B

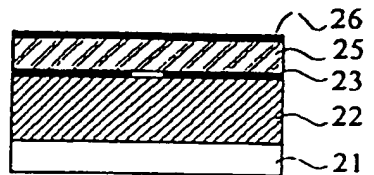


Fig 2C

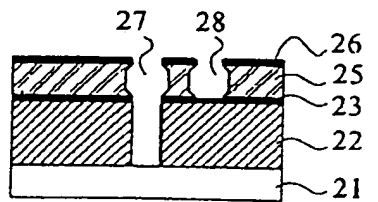


Fig 2D
(prior art)



Fig 3A

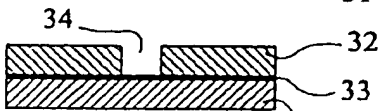


Fig 3B

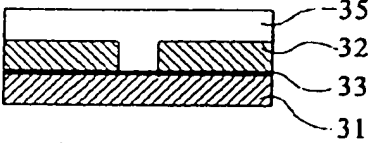


Fig 3C

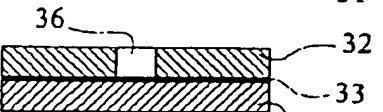


Fig 3D

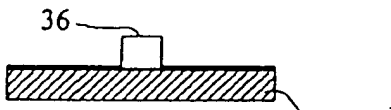


Fig 3E

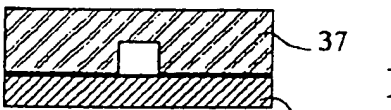


Fig 3F

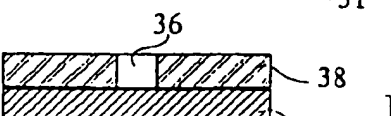


Fig 3G

THIS PAGE BLANK (USPTO)

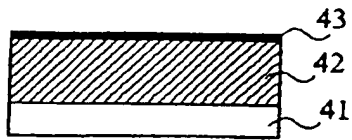


Fig 4A

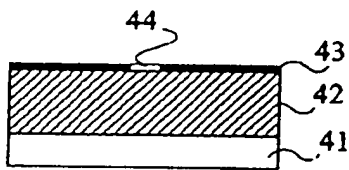


Fig 4B

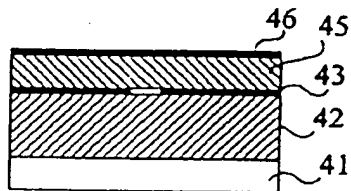


Fig 4C

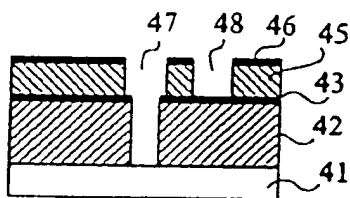


Fig 4D

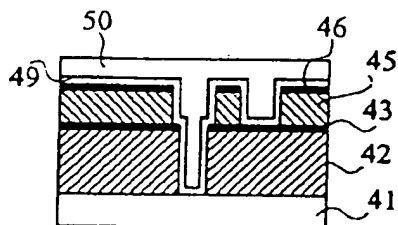


Fig 4E

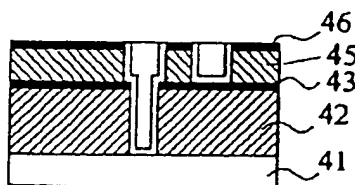


Fig 4F

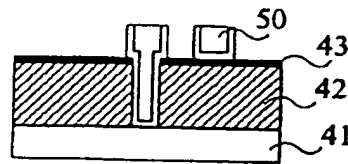


Fig 4G

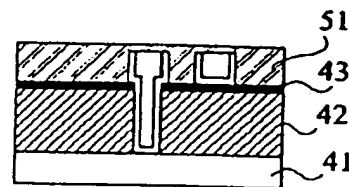


Fig 4H

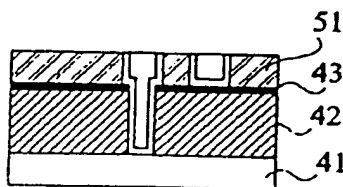


Fig 4I

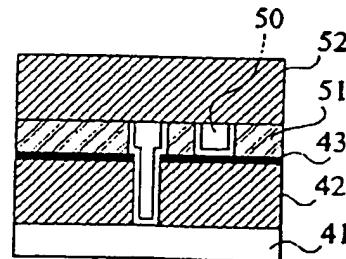


Fig 4J

THIS PAGE BLANK (USPTO)

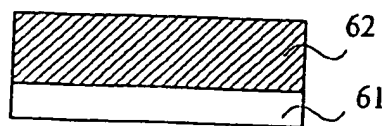


Fig 5A

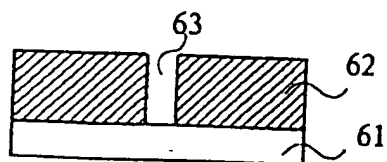


Fig 5B

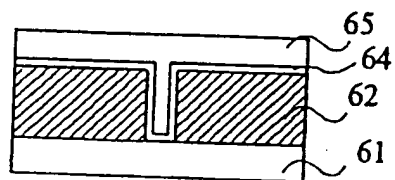


Fig 5C

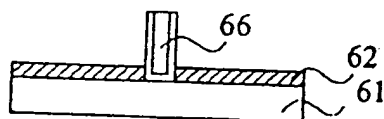


Fig 5D

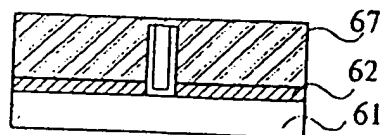


Fig 5E

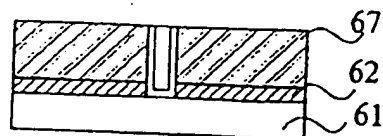


Fig 5F

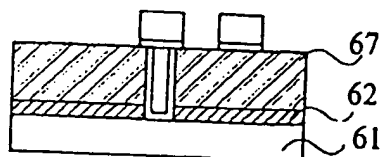


Fig 5G

THIS PAGE BLANK (USPTO)

(19)



Europäisches Patentamt

European Patent Office

Office européen des brevets



(11)

EP 0 923 125 A1

(12)

DEMANDE DE BREVET EUROPEEN

(43) Date de publication:
16.06.1999 Bulletin 1999/24

(51) Int Cl.⁶: H01L 21/768

(21) Numéro de dépôt: 98410134.5

(22) Date de dépôt: 27.11.1998

(84) Etats contractants désignés:
AT BE CH CY DE DK ES FI FR GB GR IE IT LI LU
MC NL PT SE
Etats d'extension désignés:
AL LT LV MK RO SI

• FRANCE TELECOM
75015 Paris (FR)

(72) Inventeur: Gayet, Philippe
38660 Saint Vincent de Mercuze (FR)

(30) Priorité: 28.11.1997 FR 9715335

(74) Mandataire: de Beaumont, Michel
1, rue Champollion
38000 Grenoble (FR)

(71) Demandeurs:
• STMicroelectronics SA
94250 Gentilly Cedex (FR)

(54) Procédé de réalisation d'interconnexions métalliques dans des circuits intégrés

(57) L'invention concerne un procédé de formation de métallisations (36) remplissant, selon un contour choisi, l'épaisseur d'une couche diélectrique (32) en un matériau difficile à graver de façon définie, cette couche diélectrique étant formée sur un support (31), comprenant les étapes consistant à former sur le support (31)

une couche sacrificielle (32) ayant l'épaisseur souhaitée pour la couche dudit matériau : ouvrir la couche sacrificielle selon ledit contour : former des métallisations (36) dans les ouvertures : éliminer la couche sacrificielle : et déposer une couche (37) dudit matériau sur une épaisseur au moins égale à celle des motifs métalliques.

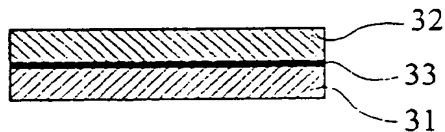


Fig 3A

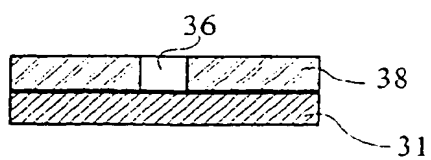


Fig 3G

Description

[0001] La présente invention concerne la fabrication de circuits intégrés semiconducteurs et plus particulièrement les étapes finales de cette fabrication au cours desquelles on réalise, au-dessus d'un substrat de silicium comportant des régions diffusées et des structures choisies, une succession de couches isolantes alternées avec des couches métalliques. Chacune des couches métalliques constitue un niveau de métallisation. Chaque niveau de métallisation est gravé selon une topologie déterminée pour établir des contacts avec des vias reliant cette couche métallique avec une couche métallique inférieure et avec une couche métallique supérieure. La couche la plus élevée est reliée à des plots de contact et la couche la moins élevée est reliée par des vias à des portions du substrat semiconducteur et/ou des régions de silicium polycristallin.

[0002] Il se pose ainsi des problèmes successifs de formation de vias à l'intérieur d'une couche diélectrique, de gravure des couches diélectriques et de gravure des couches métalliques. Divers procédés ont été développés dans la technique pour réaliser de telles couches d'interconnexion et ces procédés sont maintenant bien au point avec des matériaux classiques tels que l'oxyde de silicium et l'aluminium.

[0003] Toutefois, tandis que les progrès techniques amènent à réduire les dimensions des composants élémentaires dans le silicium, on est corrélativement amené à réduire les dimensions des motifs formés dans les diverses couches de métallisation et à rapprocher les métallisations les unes des autres. Il en résulte notamment une augmentation des capacités parasites verticales entre couches métalliques de niveaux différents et des capacités parasites latérales entre portions de métallisations d'un même niveau. Pour éviter l'augmentation de la valeur des capacités parasites, qui réduit la vitesse de commutation possible du circuit, on cherche à utiliser des diélectriques ayant des constantes diélectriques plus faibles que celle de l'oxyde de silicium. On pense notamment à utiliser divers polymères tels que les silsesquioxanes, par exemple l'hydrogène-silsesquioxane (HSQ) ou le méthyl-silsesquioxane (MSQ), des polyimides, des éthers de polyarylate, des Téflons, des parylènes ou des matériaux poreux (Aérogel). Ces diélectriques peuvent être déposés par divers procédés tels que des pulvérisations, des centrifugations, ou en phase vapeur. Toutefois, un inconvénient commun de beaucoup de ces diélectriques est qu'ils sont difficiles à graver, ou bien, lors de leur gravure par plasma, ils génèrent des sous-produits susceptibles d'endommager d'autres éléments de circuit, ou bien il est pratiquement impossible de graver dans ces matériaux des tranchées à flancs raides, ou bien leurs propriétés diélectriques se dégradent pendant les étapes de gravure ou de retrait de résine.

[0004] On a également recherché à utiliser des matériaux conducteurs plus conducteurs que l'aluminium

tels que le cuivre. A nouveau, avec de tels éléments, on se retrouve devant de grandes difficultés pour graver ces matériaux de façon localisée, par exemple former des tranchées à flancs raides ou isoler électriquement les motifs entre eux.

[0005] Ainsi, un objet de la présente invention est de prévoir un nouveau procédé de réalisation de structure comprenant plusieurs niveaux conducteurs séparés par des couches isolantes traversées localement par des vias remplis de métal.

[0006] Un objet plus particulier de l'invention est de prévoir un tel procédé applicable à des matériaux diélectriques dans lesquels il n'est pas possible de réaliser des gravures localisées à flancs raides ou qu'il n'est pas possible de graver sans dégrader leurs propriétés.

[0007] Un autre objet de la présente invention est de prévoir un tel procédé dans lequel les matériaux conducteurs sont en des matériaux dans lesquels il n'est pas possible de réaliser des gravures localisées à flancs raides ou des petits espaces entre deux motifs voisins.

[0008] Pour atteindre ces objets ainsi que d'autres, la présente invention prévoit un procédé de formation de métallisations remplissant, selon un contour choisi, l'épaisseur d'une couche diélectrique en un matériau difficile à graver de façon définie, cette couche diélectrique étant formée sur un support, comprenant les étapes consistant à former sur le support une couche sacrificielle ayant l'épaisseur souhaitée pour la couche dudit matériau; ouvrir la couche sacrificielle selon ledit contour; former ces métallisations dans les ouvertures; éliminer la couche sacrificielle; et déposer une couche dudit matériau sur une épaisseur au moins égale à celle des motifs métalliques.

[0009] Selon un mode de réalisation de la présente invention, l'étape de formation de métallisations dans les ouvertures comprend l'étape de dépôt d'une métallisation et de regravure par polissage mécano-chimique de cette métallisation jusqu'au niveau de la surface supérieure de la couche sacrificielle.

[0010] Selon un mode de réalisation de la présente invention, ledit matériau est choisi dans le groupe des polymères tels que des polyimides, un éther de polyarylate, des silsesquioxanes, le Téflon, le parylène.

[0011] Selon un mode de réalisation de la présente invention, ledit matériau est un matériau poreux.

[0012] Selon un mode de réalisation de la présente invention, ledit matériau est déposé par centrifugation ou en phase vapeur.

[0013] Selon un mode de réalisation de la présente invention, appliqué à la formation de vias, ledit support est un niveau de métallisation intermédiaire.

[0014] Selon un mode de réalisation de la présente invention, la couche sacrificielle est une couche d'oxyde de silicium.

[0015] Ces objets, caractéristiques et avantages, ainsi que d'autres de la présente invention seront exposés en détail dans la description suivante de modes de réalisation particuliers faite à titre non-limitatif en relation

avec les figures jointes parmi lesquelles

les figures 1A et 1B représentent deux étapes de formation d'une ouverture dans un matériau tel qu'un polymère ;

les figures 2A à 2D représentent des étapes successives de formation d'interconnexions par le procédé dit "damascène" ;

les figures 3A à 3G représentent de façon générale des étapes successives d'un procédé selon la présente invention ;

les figures 4A à 4J représentent des étapes successives d'un mode de réalisation de la présente invention ; et

les figures 5A à 5G représentent des étapes successives d'un autre mode de réalisation de la présente invention.

[0016] Les diverses figures sont des vues en coupe schématiques et, conformément à l'usage dans le domaine de la représentation des composants semiconducteurs, ne sont pas tracées à l'échelle.

[0017] En figure 1A, on considère une couche support 11, par exemple une couche métallique constituant un niveau d'interconnexion, au-dessus de laquelle on veut déposer une couche diélectrique, former des ouvertures dans la couche diélectrique, remplir ces ouvertures d'un matériau conducteur et revêtir la couche diélectrique d'un niveau suivant de métal dans lequel on veut dessiner des interconnexions de motifs choisis.

[0018] Pour cela, de façon classique, il faut d'abord former des ouvertures aux emplacements des vias dans la couche diélectrique 12. Si on essaye de le faire dans un produit tel qu'un polymère, par des procédés de photolithographie classiques consistant à effectuer un masquage puis une gravure, on arrive à une ouverture 13 ayant le contour représenté en figure 1B, c'est-à-dire que les flancs de la section gravée sont concaves. Il en résulte que les motifs résultants vont être mal définis et que l'on aura des difficultés lors du dépôt ultérieur d'un métal destiné à remplir l'ouverture 13. En effet, ce métal aura tendance à ne pas adhérer aux parois et des lacunes se créeront. En outre, il ne sera pas possible de disposer deux lignes de métal très près l'une de l'autre. Une dégradation des propriétés du diélectrique pendant la gravure peut également se traduire par un contour concave.

[0019] Les figures 2A à 2D représentent des étapes préliminaires de formation d'interconnexions par le procédé connu dit "damascène".

[0020] Selon ce procédé, comme cela est représenté en figure 2A, en partant d'une couche métallique 21 d'un premier niveau d'interconnexion (ce premier niveau d'interconnexion peut être tout niveau d'interconnexion intermédiaire), on dépose une couche isolante 22 que l'on considérera dans cet exemple comme étant une couche d'oxyde de silicium. Puis on dépose une couche d'arrêt de gravure 23, par exemple du nitrure de silicium.

[0021] A l'étape illustrée en figure 2B, on a formé une ouverture 24 dans la couche d'arrêt de gravure 23 à l'emplacement où l'on souhaite former un via.

[0022] A l'étape illustrée en figure 2C, on dépose une deuxième couche de diélectrique 25 et une couche de masquage 26, par exemple à nouveau une couche de nitrure de silicium.

[0023] A l'étape illustrée en figure 2D, on réalise par photolithographie des ouvertures dans la couche de masquage 26. Ces ouvertures sont désignées par la référence 27 quand elles se trouvent au-dessus d'un via et par la référence 28 à des emplacements où l'on veut simplement graver la couche de diélectrique 25. Ensuite, on grave à travers ces ouvertures d'une part des tranchées sous les ouvertures 28, d'autre part, des vias sous les ouvertures 27. Des étapes ultérieures du procédé, non représentées, consistent à déposer un métal remplissant les tranchées et les vias avec dépôt éventuel antérieur d'une couche d'accrochage telle que du nitrure de titane. On procède enfin à une gravure par polissage mécanochimique de la partie du métal débordant de la surface supérieure de la couche 26 et le procédé se continue par dépôt d'une nouvelle couche de diélectrique et réalisation d'une métallisation ultérieure.

[0024] La figure 2D montre ce qui se passe quand la couche de diélectrique 25 est en un matériau non susceptible de se graver, avec formation de flancs raides. On retrouve l'inconvénient illustré en figure 1B, à savoir qu'un dépôt régulier du métal dans les ouvertures sera en fait pratiquement impossible, et qu'il ne sera pas possible de prévoir des bandes métalliques très proches les unes des autres, ou alors la constante diélectrique se dégrade pendant la gravure, ce qui va à l'encontre du but recherché.

[0025] Les figures 3A à 3G représentent de façon très schématique des étapes successives d'un procédé selon la présente invention permettant d'éviter les inconvénients susmentionnés résultant de la gravure d'une couche d'un matériau diélectrique non gravable à flancs raides. Pour simplifier la description ci-après, on appellera simplement cette couche "couche de polymère".

[0026] Comme le représente la figure 3A, on part d'un support 31, qui, selon les applications de la présente invention sera une couche isolante ou un niveau de métallisation sur lequel on veut former des bandes de métal ou des vias séparés par un polymère. On dépose sur le support 31 une couche d'un matériau facilement gravable de façon classique, par exemple une couche d'oxyde de silicium 32. Une couche d'arrêt de gravure 33 est éventuellement interposée entre les couches 31 et 32.

[0027] A l'étape illustrée en figure 3B, on forme des ouvertures 34 dans la couche 32.

[0028] A l'étape illustrée en figure 3C, on a procédé à un dépôt d'une couche métallique 35 qui se forme dans les ouvertures 34 et au-dessus de la couche 32 (selon les applications, on aura éliminé ou non la couche d'arrêt de gravure au fond de l'ouverture 34).

[0029] On procède ensuite à un nivellement de la

structure par polissage mécano-chimique (CMP) pour éliminer le métal au-dessus de la couche 32 et l'on obtient la structure illustrée en figure 3D.

[0030] Après cela, selon la présente invention, on élimine la couche 32 qui pouvait donc être considérée comme une couche sacrificielle pour obtenir la structure représentée en figure 3E.

[0031] Alors seulement, à l'étape illustrée en figure 3F, on dépose sur l'ensemble de la structure une couche de polymère 37 qui peut être ensuite éventuellement arasée par polissage mécano-chimique, comme le représente la figure 3G. On obtient ainsi des métallisations 36 de contour donné insérées dans une couche de polymère 38 ayant la même épaisseur que la couche sacrificielle 32 déposée à l'étape de la figure 3A.

[0032] On notera que ce procédé n'implique aucune étape de gravure localisée ni du métal 36, ni du polymère 37. Les matériaux de ces couches peuvent donc être des matériaux non susceptibles d'être gravés correctement par les procédés de gravure connus, tels que des procédés de gravure plasma. Il suffit que le métal puisse être nivelé par polissage mécano-chimique, ce qui est le cas de tous les matériaux actuellement envisagés.

[0033] Les figures 4A à 4J illustrent une application du procédé selon la présente invention à la réalisation d'une couche d'interconnexion dans laquelle un polymère assure l'isolement latéral entre des portions de métal de contour choisi du niveau d'interconnexion considéré.

[0034] Plus particulièrement, les étapes initiales des figures 4A à 4F correspondent aux étapes d'un procédé "damascène" classique. On part d'un support 41 correspondant à un niveau de métallisation surmonté d'une couche isolante 42, par exemple en oxyde de silicium elle-même surmontée d'une couche d'arrêt de gravure 43, par exemple du nitrure de silicium (figure 4A). A l'étape illustrée en figure 4B, on forme dans la couche 43 des ouvertures 44 aux emplacements où l'on veut former des vias entre deux niveaux de métallisation. A l'étape représentée en figure 4C, on a déposé une deuxième couche 45 qui correspond à la couche sacrificielle selon la présente invention surmontée d'une couche d'arrêt de gravure 46. A l'étape illustrée en figure 4D, on a formé des ouvertures 47 et 48 dans la couche d'arrêt de gravure 46. Les ouvertures 47 se trouvent au-dessus d'emplacements de vias et les ouvertures 48 aux emplacements où l'on souhaite former des métallisations d'interconnexion. On réalise ensuite des ouvertures dans la couche 45 puis éventuellement dans la couche 42. A l'étape illustrée en figure 4E, on a déposé une métallisation, en déposant successivement par exemple une couche d'accrochage en nitrure de titane 49 et une couche 50 d'un métal tel que du cuivre ou des alliages de cuivre et d'aluminium ou du tungstène. A l'étape illustrée en figure 4F, on a réalisé un polissage mécano-chimique pour araser la couche de métal 50 jusqu'au niveau de la surface supérieure de la couche d'ar-

rêt de gravure 46.

[0035] Dans un procédé classique, la réalisation de la structure est pratiquement terminée et il reste à recouvrir la structure de la figure 4F d'une nouvelle couche d'oxyde de silicium dans laquelle on répètera les étapes illustrées à partir de la figure 4A pour former des vias et une couche d'interconnexion de niveau supérieur. Dans ce procédé classique, la couche isolante 45 est une couche définitive. Par contre, selon la présente invention, comme on l'a indiqué précédemment, la couche 45 est une couche sacrificielle et, selon la présente invention, le procédé se poursuit de la façon suivante.

[0036] A l'étape illustrée en figure 4G, on élimine la couche d'arrêt de gravure 46 et la couche sacrificielle 45, la gravure s'arrêtant de préférence au niveau de la surface supérieure de la couche d'arrêt de gravure 43. Bien entendu, la gravure est faite de façon sélective sans attaquer les portions de métal 50 au-dessus de la couche d'arrêt de gravure 43.

[0037] A l'étape illustrée en figure 4H, on dépose uniformément une couche de polymère 51.

[0038] Ensuite, de façon optionnelle, comme cela est représenté à la figure 4I, on nivelle par polissage mécano-chimique la surface supérieure de la couche 51 jusqu'à affleurer au niveau des surfaces supérieures des métallisations 50. Puis, comme cela est représenté en figure 4J, on procède à un nouveau dépôt d'une couche isolante 52 et le processus se répète pour réaliser des vias et une couche d'interconnexion de niveau supérieur.

[0039] Grâce à la présente invention, on a pu obtenir comme le représente la figure 4J, des métallisations localisées 50 formant un niveau d'interconnexion et séparées latéralement par une couche isolante 51 à constante diélectrique faible. Ainsi, l'application de la présente invention illustrée en relation avec les figures 4A à 4J permet de réduire la capacité parasite latérale entre conducteurs d'un même niveau de métallisation.

[0040] On va maintenant décrire en relation avec les figures 5A à 5G, une application de la présente invention à la réduction de la capacité parasite verticale entre deux niveaux d'interconnexion.

[0041] La figure 5A représente un support 61 correspondant à un niveau d'interconnexion sur lequel est déposée une couche 62 qui constitue une couche sacrificielle selon la présente invention.

[0042] A l'étape illustrée en figure 5B, on forme par photo-lithographie des ouvertures dans la couche 62 aux emplacements où l'on veut former des vias entre niveaux d'interconnexion.

[0043] A l'étape illustrée en figure 5C, on a déposé uniformément une couche d'accrochage optionnelle 64 et une couche de métallisation 65. A une étape ultérieure non-représentée, on regrave par polissage mécano-chimique des couches 65 et 64 jusqu'à affleurer au niveau de la surface supérieure de la couche 62.

[0044] Ensuite, on élimine la couche d'oxyde 62. Cette élimination peut être totale ou seulement partielle

comme cela est représenté en figure 5D, en interrompant la gravure avant d'éliminer toute l'épaisseur de la couche 62. On laisse alors en place des vias métalliques 66.

[0045] A l'étape illustrée en figure 5E, on dépose uniformément une couche de polymère 67.

[0046] A l'étape optionnelle illustrée en figure 5F, cette couche de polymère est regravée par polissage mécanochimique jusqu'au niveau de la surface supérieure des vias métalliques 66.

[0047] On a ainsi obtenu une couche de polymère 67 dans laquelle sont insérés des vias 66 sans qu'il n'ait été nécessaire de procéder à une gravure localisée de la couche de polymère 67.

[0048] Lors d'étapes ultérieures (figure 5G), on réalise le niveau de métallisation suivant. Pour ce niveau de métallisation suivant, on pourra aussi prévoir un isolement latéral par une couche à faible constante diélectrique en utilisant le procédé illustré en figures 4A à 4J, c'est-à-dire en déposant sur la couche 67 telle qu'obtenue à l'étape de la figure 5F une couche sacrificielle, en gravant cette couche sacrificielle, en remplissant les ouvertures de la couche sacrificielle d'un conducteur, en éliminant la couche sacrificielle et en déposant une nouvelle couche de polymère.

[0049] Bien entendu, la présente invention est susceptible de diverses variantes et modifications qui apparaîtront à l'homme de métier. Notamment, comme on l'a indiqué précédemment, bien que l'on ait utilisé dans la description précédente le terme polymère, ce terme devra être interprété comme désignant tout matériau diélectrique à faible constante diélectrique, ou tout matériau diélectrique difficile à graver et/ou dans lequel la gravure peut entraîner une dégradation des profils ou des propriétés d'isolation. De plus, les diverses variantes décrites dans chaque mode de réalisation de la présente invention pourront être adoptées dans un autre mode de réalisation de l'invention. Divers matériaux conducteurs autres que du métal et divers diélectriques pourront être utilisés. Divers procédés de gravure pourront être utilisés.

tures par dépôt de métal et regravure jusqu'au niveau de la surface supérieure de la couche sacrificielle ;

éliminer la couche sacrificielle ; et

déposer une couche (37) dudit matériau sur une épaisseur au moins égale à celle des motifs métalliques.

2. Procédé selon la revendication 1, caractérisé en ce que la regravure est effectuée par polissage mécanochimique.

3. Procédé selon la revendication 1, caractérisé en ce que ledit matériau est choisi dans le groupe des polymères tels que des polyimides, un éther de polyarylène, des silsesquioxanes, le Téflon, le parylène.

4. Procédé selon la revendication 1, caractérisé en ce que ledit matériau est un matériau poreux.

5. Procédé selon la revendication 1, caractérisé en ce que ledit matériau est déposé par centrifugation ou en phase vapeur.

6. Procédé selon la revendication 1, appliqué à la formation de vias, caractérisé en ce que ledit support est un niveau de métallisation intermédiaire.

7. Procédé selon l'une quelconque des revendications 1 à 4, caractérisé en ce que la couche sacrificielle est une couche d'oxyde de silicium.

Revendications

1. Procédé de formation de métallisations (36) remplissant, selon un contour choisi, l'épaisseur d'une couche diélectrique (32) en un matériau difficile à graver de façon définie, cette couche diélectrique étant formée sur un support (31), caractérisé en ce qu'il comprend les étapes suivantes :

former sur le support (31) une couche sacrificielle (32) ayant l'épaisseur souhaitée pour la couche dudit matériau ;

ouvrir la couche sacrificielle selon ledit contour ;

former des métallisations (36) dans les cuver-

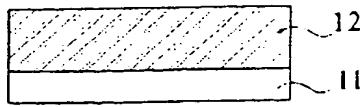


Fig 1A

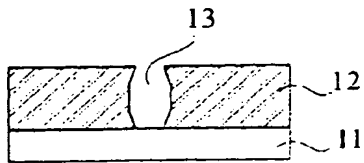


Fig 1B
(prior art)

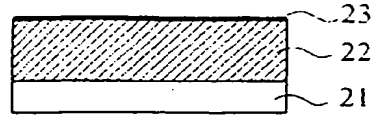


Fig 2A

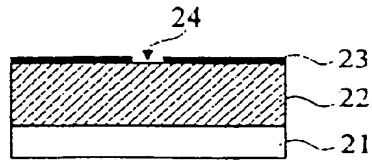


Fig 2B

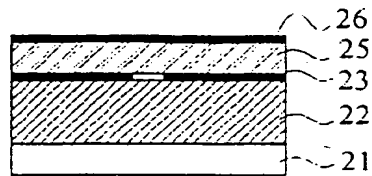


Fig 2C

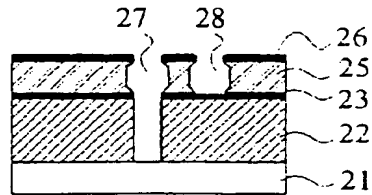


Fig 2D
(prior art)

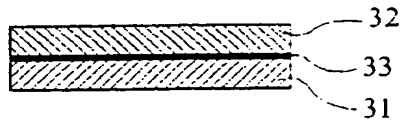


Fig 3A

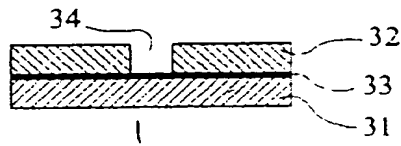


Fig 3B

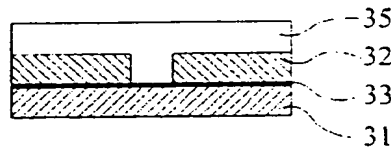


Fig 3C

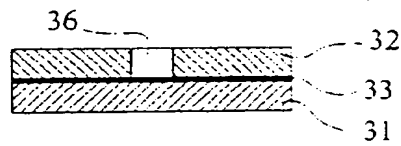


Fig 3D

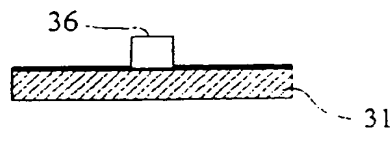


Fig 3E

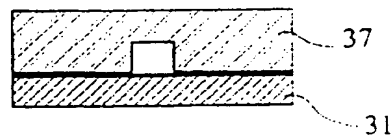


Fig 3F

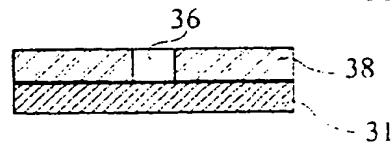


Fig 3G

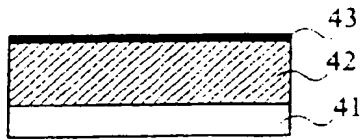


Fig 4A

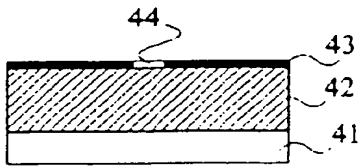


Fig 4B

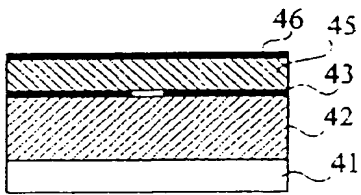


Fig 4C

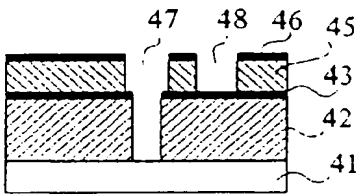


Fig 4D

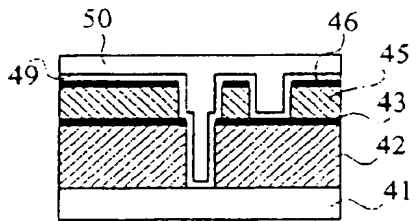


Fig 4E

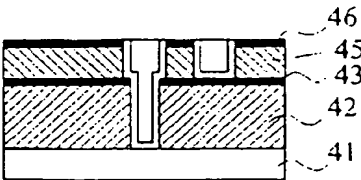


Fig 4F

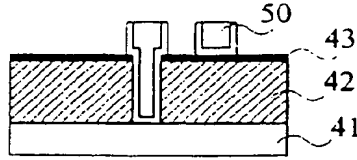


Fig 4G

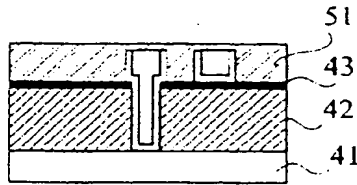


Fig 4H

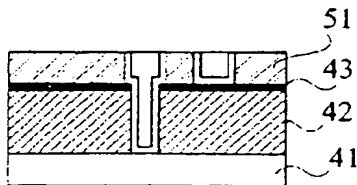


Fig 4I

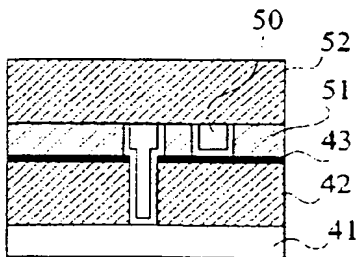


Fig 4J



Fig 5A

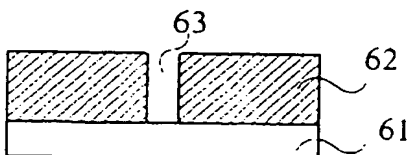


Fig 5B

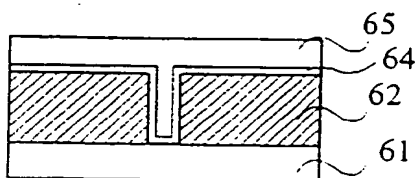


Fig 5C

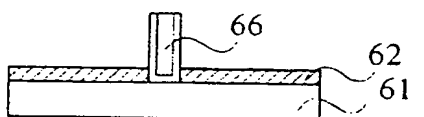


Fig 5D

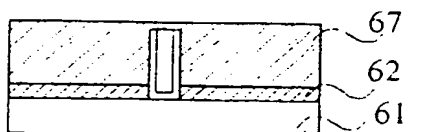


Fig 5E

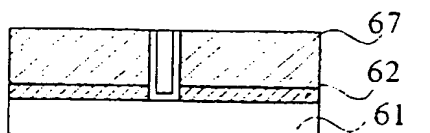


Fig 5F

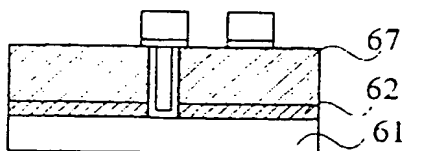


Fig 5G



Office européen
des brevets

RAPPORT DE RECHERCHE EUROPEENNE

Numéro de la demande

EP 98 41 0134

DOCUMENTS CONSIDERES COMME PERTINENTS			
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	Revendication concernée	CLASSEMENT DE LA DEMANDE (Int.Cl.6)
X	US 5 380 679 A (KANO ISA0) 10 janvier 1995 * colonne 4, ligne 23 - colonne 5, ligne 57 * * figures 2A-2G *	1,3,5,6	H01L21/768
A	US 4 916 084 A (SAITOH MITSUCHIKA ET AL) 10 avril 1990 * colonne 3, ligne 3 - ligne 30 *	1,5,7	
A	EP 0 405 660 A (PHILIPS NV) 2 janvier 1991 * colonne 6, ligne 40 - ligne 49 *	1,2	
			DOMAINES TECHNIQUES RECHERCHES (Int.Cl.6)
			H01L
Le présent rapport a été établi pour toutes les revendications			
Lieu de la recherche		Date d'achèvement de la recherche	Examineur
LA HAYE		10 mars 1999	Schuermans, N
CATEGORIE DES DOCUMENTS CITES			
X particulièrement pertinent à lui seul Y particulièrement pertinent en combinaison avec un autre document de la même catégorie A arrière-plan technologique O divulgation non-écrite P document intermédiaire		T théorie ou principe à la base de l'invention E document de brevet antérieur mais publié à la date de dépôt ou après cette date C cité dans la demande L cité pour d'autres raisons S membre de la même famille document correspondant	

EPO FORM 1503 03 & 1P4-0021

**ANNEXE AU RAPPORT DE RECHERCHE EUROPEENNE
RELATIF A LA DEMANDE DE BREVET EUROPEEN NO.**

EP 98 41 0134

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche européenne visé ci-dessus.
Lesdits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du
Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets.

10-03-1999

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 5380679 A	10-01-1995	JP 2773578 B	09-07-1998
		JP 6120351 A	28-04-1994
US 4916084 A	10-04-1990	JP 1017473 A	20-01-1989
		JP 1880115 C	21-10-1994
		JP 6003812 B	12-01-1994
EP 0405660 A	02-01-1991	GB 2233494 A	09-01-1991
		DE 69018884 D	01-06-1995
		DE 69018884 T	07-12-1995
		JP 2776960 B	16-07-1998
		JP 3034539 A	14-02-1991
		US 5358902 A	25-10-1994

EPO FORM P463

Pour tout renseignement concernant cette annexe (voir Journal Officiel de l'Office européen des brevets, No. 12/82

10/10/00

10/10/00

10/10/00

10/10/00

10/10/00

10/10/00

10/10/00

RECEIVED

NOV 14 2000

WELLS, S.F. JOHN ROBERTS
GREGORY & MATKIN, P.S.